

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036387

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 29/84 G01L 1/18
G01P 15/125 H01L 21/26
H01L 21/316 H01L 21/318

(21)Application number : 07-205387

(71)Applicant : DENSO CORP

(22)Date of filing : 18.07.1995

(72)Inventor : KARESUE SHIYOUWA

AO KENICHI

UENOYAMA HIROBUMI

SUZUKI YASUTOSHI

YAMADA TOSHITAKA

OTA TAMEJI

WATANABE TAKAMOTO

TAKEUCHI YUKIHIRO

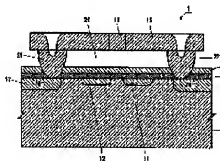
(54) METHOD FOR MANUFACTURING SEMICONDUCTOR SENSOR FOR AMOUNT OF DYNAMICS

(57)Abstract:

PROBLEM TO BE SOLVED: To easily eliminate an electron which is trapped by the interface of two insulation films by applying such electromagnetic wave as ultraviolet ray to the interface between a second insulation film and a first insulation film in a process after the second insulation film is formed.

SOLUTION: Ion is implanted to a specific region of a silicon substrate 10 to form a drain region 11, a source region 12, and conductive layers 17 and 18. Then, only a sacrifice layer is eliminated by etching and 5,000Å; gap 20 is formed between a movable member 15 and the surface of the silicon substrate 10. At this time, Si₃N₄ film 14 prevents SiO₂ film 13 from being etched. Then, ultraviolet rays are uniformly applied to the surface of the Si₃N₄ film 14 for at least 40 minutes via the movable member 15 using a mercury lamp. When the Si₃N₄ film 14 is 500Å; thick, an electron which is trapped at an interface level can

be completely eliminated by applying ultraviolet rays for at least 40 minutes.



(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36387

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/84			H 0 1 L 29/84	C
G 0 1 L 1/18			G 0 1 L 1/18	
G 0 1 P 15/125			G 0 1 P 15/125	
H 0 1 L 21/26			H 0 1 L 21/316	M
21/316			21/316	M

審査請求 未請求 請求項の数 3 F D (全 5 頁) 最終頁に続く

(21) 出願番号 特願平7-205387

(22) 出願日 平成7年(1995)7月18日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 佐末 将和

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

(72) 発明者 青 建一

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

(72) 発明者 上野山 博文

愛知県刈谷市昭和町1丁目1番地 日本電

装株式会社内

(74) 代理人 弁理士 藤谷 修

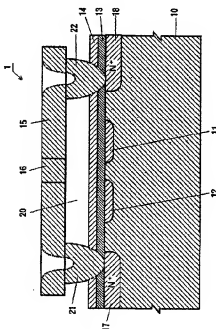
最終頁に続く

(54) 【発明の名称】 半導体力量量センサの製造方法

(57) 【要約】

【目的】 可動ゲートが所定の空隙を設けて形成された力量量センサにおいて、2つの絶縁膜の界面にトラップされた電子を容易な方法で消失させ、素子特性を均一化すること。

【構成】 シリコン基板10とSiO₂膜13とSi₃N₄膜14と、このSi₃N₄膜14に対して所定の空隙20を介して配設され、ソース領域12とドレイン領域11との間のチャネル領域の上部に当たる位置にゲート電極16の形成され外部からの力量量に応じてゲート電極16が変位する可動部材15とから成る半導体力量量センサの製造方法において、Si₃N₄膜14が形成された後の工程において、Si₃N₄膜14とSiO₂膜13との界面に紫外線を照射する。これにより界面の電子を消失させることができる。



1

【特許請求の範囲】

【請求項1】表面層にソース領域とドレイン領域とが形成された半導体基板と、この半導体基板上に形成された第1絶縁膜と、この第1絶縁膜と物質が異なり第1絶縁膜上に形成された第2絶縁膜と、この第2絶縁膜に対して所定の空隙を介して配設され、前記ソース領域と前記ドレイン領域との間のチャネル領域の上部に当たる位置にゲート電極が形成され外部からの力學量に応じて前記ゲート電極が変位する可動部材とから成る半導体力學量センサの製造方法において、

前記第2絶縁膜が形成された後の工程において、前記第2絶縁膜と前記第1絶縁膜との界面に紫外線等の電磁波を照射することを特徴とする半導体力學量センサの製造方法。

【請求項2】基板の所定領域に形成されると共に、該所定領域とは反対導電型のソース領域及びドレイン領域を形成し、このソース領域及びドレイン領域間をチャネル領域とし、このチャネル領域において、空隙を介して基板上に可動状態に配設されるゲート電極を形成し、外部からの力學量に応じて前記ゲート電極が変位して前記ソース領域及びドレイン領域間の導通状態が変化し、その変化量に基づいて前記力學量を検出するようにした半導体力學量センサの製造方法において、

前記基板上にゲート絶縁膜を形成する工程と、

該ゲート絶縁膜とはエッチングに対して異なる物性を示す保護膜を前記ゲート絶縁膜上に形成する工程と、

前記ゲート絶縁膜とエッチングに対して同等の物性を示す犠牲層を前記保護膜上に形成する工程と、

所定領域にて前記基板と接触するアンカー部が形成されるようにゲート電極層を前記犠牲層上に形成する工程と、

前記犠牲層をエッチング除去して、前記ゲート電極層を可動状態にする工程とを有し、

前記保護膜が形成された後であって、該保護膜と前記ゲート絶縁膜の間に励起される電子を消去すべく、所定エネルギーの電磁波を照射する工程を有することを特徴とする半導体力學量センサの製造方法。

【請求項3】前記ゲート絶縁膜はシリコン酸化膜であり、前記保護膜はシリコン窒化膜であり、前記電磁波は紫外線であることを特徴とする請求項2に記載の半導体力學量センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソース、ドレインの形成された半導体基板に対して所定のギャップを隔てて可動ゲートを形成した力學量センサの製造方法に関する。特に、センサの感度の向上とセンサの特性の安定性を改善したものに關する。

【0002】

【従来の技術】従来、基板上に空隙を介して形成された

2

可動ゲートタイプの半導体力學量センサとして、特開平6-163934号公報に記載の半導体加速度センサが知られている。これは、半導体基板上にソース・ドレイン及び犠牲層のSiO₂膜をエッチング除去してゲート電極と基板との間に空隙を形成して、可動ゲートを形成したものである。このセンサでは、センサに加速度が印加されると、可動ゲートが変位し、それにより、ソース・ドレイン間のチャネル幅が変化してソース・ドレイン間に流れる電流が変化する。そして、この変化する電流量に基づいて印加される加速度を検出するものである。

【0003】

【発明が解決しようとする課題】ところが、このような半導体力學量センサのMOSトランジスタにおいては、通常のMOSトランジスタとは異なり、ゲート酸化膜とゲート電極との間には空隙があるため、ゲート酸化膜を大気から保護する保護膜、あるいは、犠牲層のSiO₂膜をエッチング除去する際にゲート酸化膜をエッチングから守るための保護膜としてシリコン窒化膜を形成する必要がある。このように、ゲート酸化膜上にシリコン窒化膜を堆積すると、ゲート酸化膜とシリコン窒化膜との界面に、電子がトラップされ、MOSトランジスタのしきい値電圧が変動し、このため、加速度に対する出力（ドレイン電流）が変動してしまうという問題が発生することが本願発明者らの実験により明らかとなった。さらに、製造工程のばらつきにより、トラップ密度も変化し、各センサのしきい値を全て均一にすることが困難となることも明らかになった。従って、ゲート酸化膜とシリコン窒化膜との界面にトラップされた電子を消去させることが必要となってくる。

【0004】ところが、半導体加速度センサでは、シリコン酸化膜も500Åと厚くなり、しかも、可動ゲートが窒化珪素膜に対して約5000Åの空隙を隔てて形成されている。従って、ゲートを接地してシリコン基板に正電圧を印加して、界面にトラップされた電子を消去させる方法では、シリコン基板に印加する電圧が極めて大きくなり、現実問題として使用できない。

【0005】本発明は、上記の課題を解決するために成されるものであり、その目的は、可動ゲートが所定の空隙を設けて形成された力學量センサにおいて、2つの絶縁膜の界面にトラップされた電子を容易な方法で消去させることである。

【0006】

【課題を解決するための手段】本発明の構成は、表面層にソース領域とドレイン領域とが形成された半導体基板と、この半導体基板上に形成された第1絶縁膜と、この第1絶縁膜と物質が異なり第1絶縁膜上に形成された第2絶縁膜と、この第2絶縁膜に対して所定の空隙を介して配設され、ソース領域とドレイン領域との間のチャネル領域の上部に当たる位置にゲート電極が形成され外部からの力學量に応じてゲート電極が変位する可動部材と

10

20

30

40

50

から成る半導体物理学量センサの製造方法において、第2絶縁膜が形成された後の工程において、第2絶縁膜と第1絶縁膜との界面に紫外線等の電磁波を照射することを特徴とする。

【0007】又、他の発明は、基板の所定領域に形成されたと共に、この所定領域とは反対導電型のソース領域及びドレイン領域を形成し、このソース領域及びドレイン領域間をチャネル領域とし、このチャネル領域上において、空隙を介して基板上に可動状態に配設されるゲート電極を形成し、外部からの物理学量に応じてゲート電極が変位してソース領域及びドレイン領域間の導通状態が変化した、その変位量に基づいて物理学量を検出するようにした半導体物理学量センサの製造方法において、基板上にゲート絶縁膜を形成する工程と、このゲート絶縁膜とはエッチングに対して異なる物性を示す保護膜をゲート絶縁膜上に形成する工程と、ゲート絶縁膜とエッチングに対して同等の物性を示す犠牲層を保護膜上に形成する工程と、所定領域にて基板と接続するアンカー部が形成されるようにゲート電極層を犠牲層上に形成する工程と、犠牲層をエッチング除去して、ゲート電極層を可動状態にする工程とを有し、保護膜が形成された後であって、この保護膜とゲート絶縁膜との間に励起される電子を消去すべく、所定エネルギーの電磁波を照射する工程を有することを特徴とする。

【0008】さらに、他の発明は、ゲート絶縁膜はシリコン酸化膜であり、保護膜はシリコン窒化膜であり、電磁波を紫外線としたことである。

【0009】上記の半導体物理学量センサは、通常、次の材料で構成されている。即ち、半導体基板はシリコン、第1絶縁膜は SiO_2 、第2絶縁膜は Si_3N_4 であり、ゲートの形成された可動部材はポリシリコンである。しかし、2つの膜の物質が異なることによりそれらの膜の界面に電子がトラップされるので、本発明の特徴は、第1絶縁膜と第2絶縁膜とを構成する物質が異なれば良い。又、紫外線を照射する工程は、第2絶縁膜を形成した後であれば、紫外線照射が可能な任意の工程で実施することができる。

【0010】

【作用及び発明の効果】上記の物理学量センサを製造する時、第1絶縁膜と第2絶縁膜との界面に電子がトラップされる。この電子は、第2絶縁膜が形成された後の可能な任意の工程において、第1絶縁膜と第2絶縁膜との界面に紫外線等の電磁波を照射することで、消失させることができる。

【0011】又、請求項2の発明では、犠牲層をエッチングする際に、ゲート絶縁膜がエッチングされるのを保護膜により防止することができる。そして、ゲート絶縁膜と保護膜との界面にトラップされた電子に紫外線等の電磁波エネルギーを与えることにより、界面から電子を消失させることができる。

【0012】この結果、トランジスタのしきい値電圧を低い値で安定且つ均一化することができる。よって、物理学量センサの感度が向上し特性が安定する。又、紫外線照射という容易な方法で実施できるので、製造が容易となる。

【0013】

【実施例】以下、本発明を具体的な実施例に基づいて説明する。図2は本発明の具体的な実施例にかかる加速度センサ1の平面図であり、図1はその断面図である。

【0014】シリコン基板10の表面領域にはドレイン領域11とソース領域12と、導電層17、18が形成されている。そして、シリコン基板10の表面には第1絶縁膜である SiO_2 膜13が形成され、その SiO_2 膜13の上には第2絶縁膜である Si_3N_4 膜（シリコン窒化膜）14が形成されている。

【0015】さらに、シリコン基板10の上には所定の空隙20を設けてポリシリコンから成る可動部材15が形成される。可動部材15は「H」字形の架橋であり4点の支持部21、22でシリコン基板10の導電層17、18に機械的に支持されると共に電気的に接続されている。又、可動部材15の一部であって、ドレイン領域11とソース領域12との間のチャネル領域の上に当たる位置にゲート電極16が形成されている。

【0016】この構造の加速度センサ1の可動部材15は加速度を受けて変位する。即ち、ゲート電極16が図2において水平方向、又は、図1において垂直方向に移動する。この結果、トランジスタのチャネル長、幅、空隙20の間隔が外部の物理学量によって変化するようになり、ドレイン電流がその物理学量に応じて変動することになる。この結果、トランジスタにより外部の物理学量の大きさを検出することが可能となる。

【0017】次に、この加速度センサ1の製造方法を次に説明する。ウエハ状のシリコン基板10の表面を温度約900°Cで約30分間熱酸化する。これにより、厚さ500Åの SiO_2 膜13が形成される。次に、 Si_3N_4 をCVDにて、厚さ500Åの Si_3N_4 膜14を形成する。次に、 SiO_2 系物質をスパッタ又はCVDにて、厚さ500Åの犠牲層を形成する。次に、ホトリソグラフ技術により、可動部材15の4点の支持部21、22に当たる犠牲層と Si_3N_4 膜14と SiO_2 膜13とに窓を形成する。

【0018】次に、犠牲層の上に一樣にポリシリコンを体積して、ホトリソグラフ技術により図2に示す平面形状にエッチングしてゲート電極16を有する可動部材15を形成する。次に、シリコン基板10の所定領域にイオン打込を行い、ドレイン領域11とソース領域12と導電層17、18を形成する。次に、犠牲層だけをエッチングして除去し、可動部材15とシリコン基板10の表面とに5000Åの空隙20を形成する。このとき、 Si_3N_4 膜14は、 SiO_2 膜13がエッチングされるのを防止する。

【0019】次に、水銀ランプを用いて、可動部材15を介して、 Si_3N_4 膜14の表面に一條に紫外線を40分以上照射する。紫外線の照射時間が短いと、 Si_3N_4 膜14と SiO_2 膜13との界面に再トラップされるため、電子を完全に消失させることができない。膜厚500Åの Si_3N_4 膜14の時、40分以上の紫外線の照射により完全に界面単位にトラップされている電子を消失させることができた。

【0020】このようにして、界面単位にトラップされている電子を消失させることで、加速度センサ1のしきい値電圧を低下させることができる。即ち、加速度センサ1はゲート電圧5Vで十分に飽和領域に達するディプレッション型のトランジスタとすることができる。よって、本加速度センサ1はゲート電圧を5Vに固定して、ドレイン電流により加速度を直線性良く測定することが可能となる。

【0021】このようにして製造した加速度センサ1の加速度対ドレイン電流の特性は図3に示すように直線性が極めて優れたものとなった。紫外線を照射することなく製造した加速度センサの特性は図4に示すようになった。直線性の素子毎のばらつきが大きいことが理解される。

【0022】このように本発明では、第2絶縁膜を形成した後、可能な任意の工程で紫外線を照射することで、加速度センサの直線性を改善でき、センサ間の特性のば

*らつきを抑制することができた。

【0023】尚、紫外線の照射は第2絶縁膜の Si_3N_4 膜14を形成した直後、犠牲層を形成する前に行うことも可能である。さらに、イオン打込は第1絶縁膜の SiO_2 膜13を形成する前に行うことも可能である。

【0024】又、 SiO_2 膜13と Si_3N_4 膜14の界面にトラップされた電子を消失させるためには、紫外線照射でなくとも良く、界面から基板側へ電子が移動できるだけの電磁波エネルギーを与えれば良い。

【図面の簡単な説明】

【図1】本発明の具体的な実施例に係る半導体加速度センサの構造を示した断面図。

【図2】同半導体加速度センサの構造を示した平面図。

【図3】同半導体加速度センサの出力特性を示した測定図。

【図4】従来の半導体加速度センサの出力特性を示した測定図。

【符号の説明】

10…シリコン基板

11…ドレイン領域

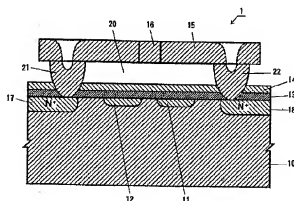
12… SiO_2 膜

13… Si_3N_4 膜

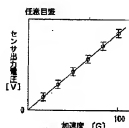
15…可動部材

16…ゲート電極

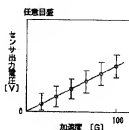
【図1】



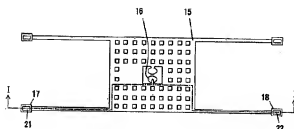
【図3】



【図4】



【図2】



フロントページの続き

(51)Int. Cl. ⁶	識別記号	片内整理番号	FI	技術表示箇所
H01L 21/318			H01L 21/26	Z
(72)発明者	鈴木 康利		(72)発明者	太田 為治
	愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内			愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
(72)発明者	山田 利貴		(72)発明者	渡辺 高元
	愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内			愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
			(72)発明者	竹内 幸裕
				愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内